

HLS 8ch FPGA シンセ



- 自己紹介
エンジンの付いた
4 輪、2 輪好き。
電子、機械工作好き、
懐古趣味の
4 C - 1 7 4 2です。

前回に続き **2 回目**の出
展です。

これから紹介するものは何？

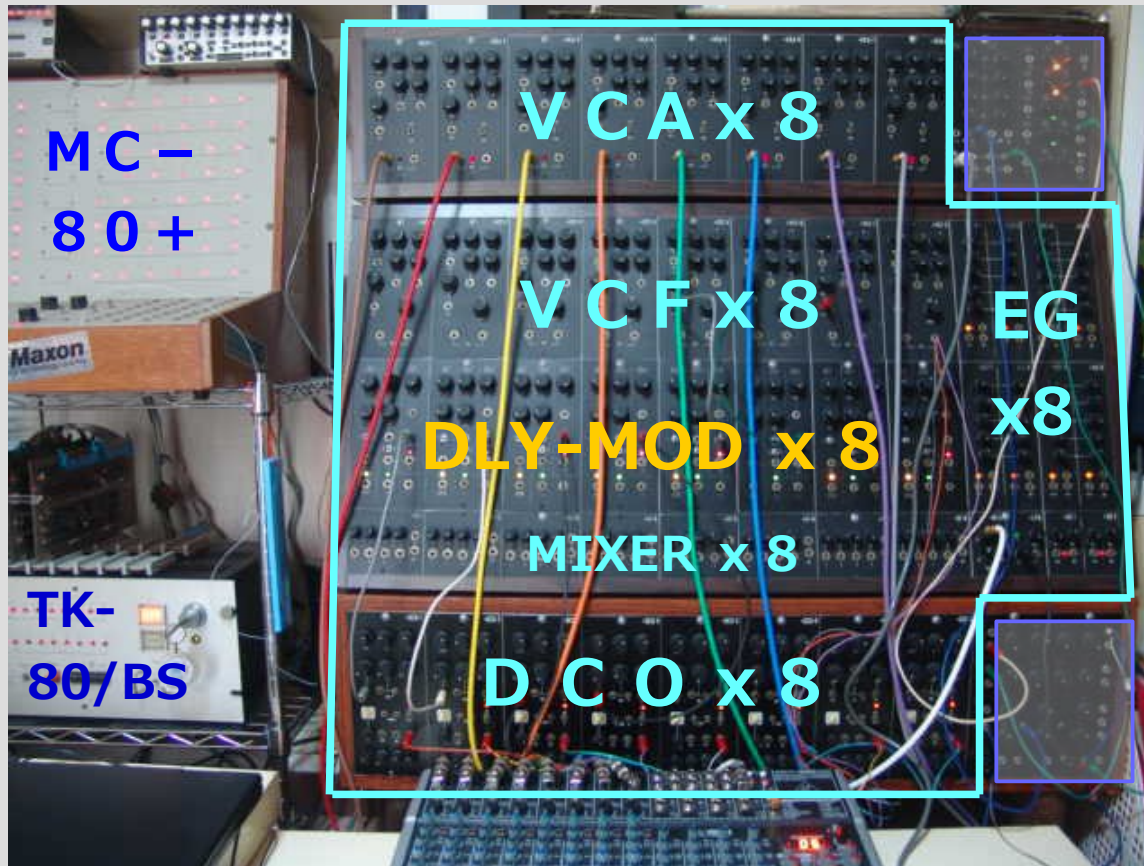
前回 ASBS18 の様子



- 前回、**USB パラレル変換器**を紹介しました。今回は前回デモ用に使っていた、2ch **FPGA シンセ**を強化したので紹介します。
- 前は 2ch で筐体無しの基板単体でした。
→ **8ch に変更し、ケースに収めました。**
- 前は XADC 経由のボリューム 6 個でパラメータの設定していました。
→ **新規にパラメータ設定器を作製し、同期シリアルで接続しました。**

目指したのは？

既存の 8ch シンセ同等かそれ以上

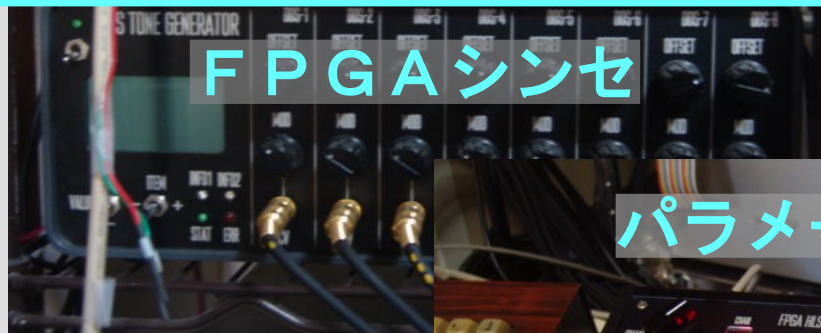


- 8ch アナログ／デジタル
混在シンセ SYSTEM7000
黄色のディレイドモジュレー
タ (MFOS) は 2017 年製、
それ以外は 1983~4 年製。
サイズ：910 x 910mm
- 上記機能を Xilinx 社 Artix-7
XC7A100T(Digilent 社 **Arty**
A7 ボード) に組み込み

FPGA シンセの概観と仕様



双方ともタカチのアルミケースのパネルに自作レーザ加工機で刻印。



本体と設定器間は SPI で接続、本体側への片側通信。

パラメータ設定器



FPGA シンセ

同時発音数：8

サンプリング：192KHz

数値表現：24bit(fix12.12)

機能：DCO~~x2~~、ミキサ、

DCF、DCA、EG、

LFO~~x2~~(青字は HLS)

16bit $\Delta\Sigma$ アナログ出力：8

10bit $\Delta\Sigma$ アナログ入力：8

ベロシティアナログ入力：8

- パラメータ設定器

上記の8機能当たり

8bit パラメータ：6

スイッチ：6

パラメータの保存：

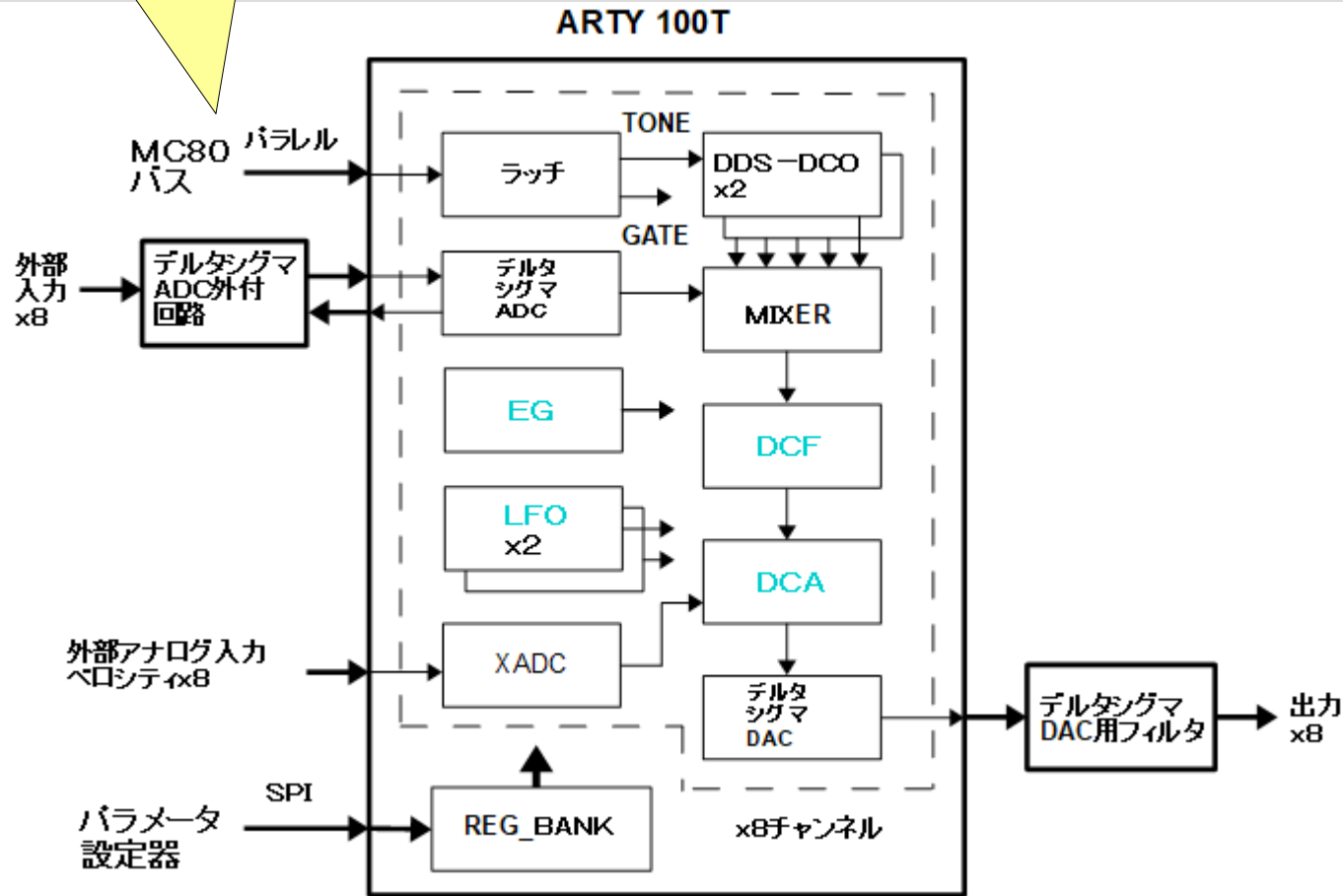
MSP430 のフラッシュ

USB/CDC <-> PC

FPGA シンセのトピック 1

ブロック図

今日の助っ人、まこべいさんが80年代前半にアセンブラでシーケンサプログラムを書いた時分割バス。

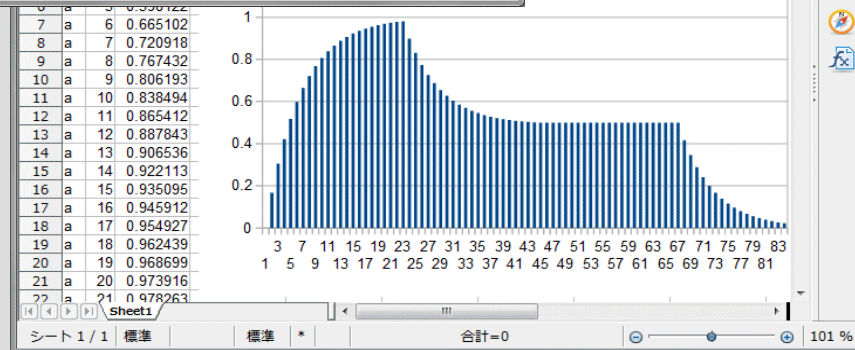
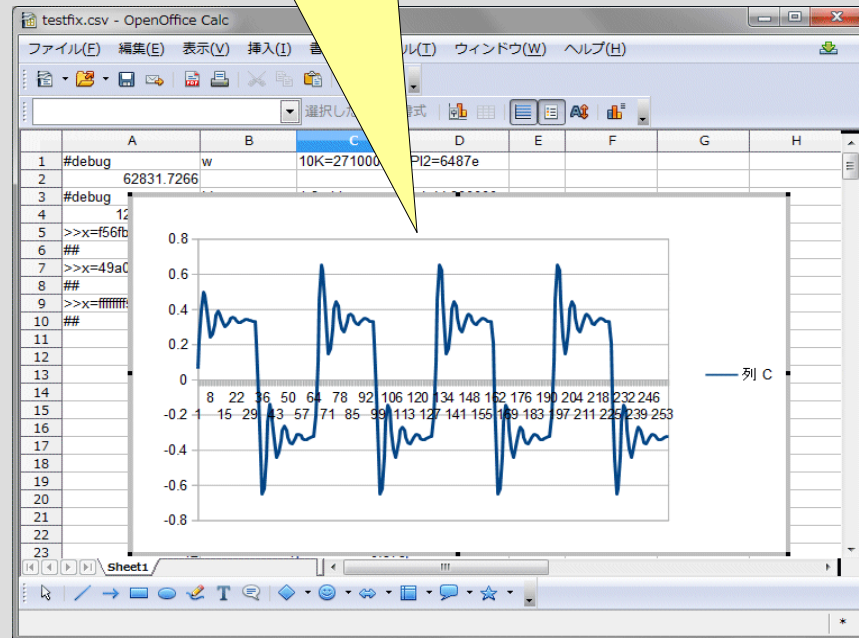


- **DCO1(DDS)**
ノコギリ (10B)、
矩形波 (PW)、
*2 矩形波、/2 矩形波
- **DCO2(DDS)**
ノコギリ (10B)、
矩形波 (PW) から選択
- **MIXER(6 チャンネル)**
DCF の前段に配置。その内
の 1 チャンネルは外部
アナログ入力
- **LFO** はディレイドモジュ
レータ仕様
- **REG_BANK** は 8 機能 x7
パラメータ x8 チャンネルの
448 バイトのレジスタ

去年、1ch 版が完成し
今日のゲストの
Mountain Club さんに
MP3 を聞いてもらい、
ちゃんとフィルタに
なっているということで
開発を開始

FPGA シンセのトピック 2

DCF と EG

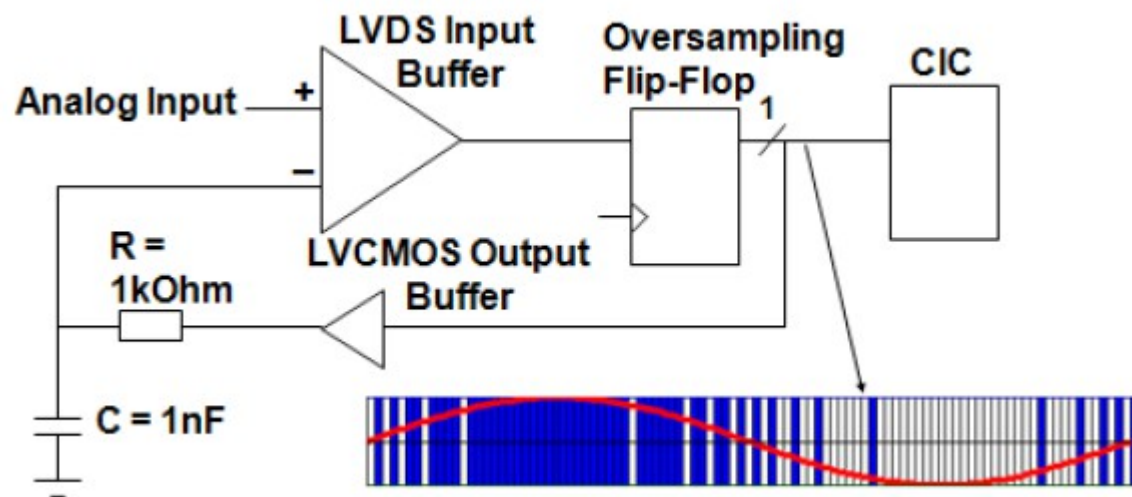


- DCF は Qiita にある” MOOG とかのラダーフィルタについての覚書”を参考に実装しました。
→ 実用になる差分方程式が公開されてます。MOOG 特有のトランジスタ・ラダー部の歪は実装されていません。通常の 4 次 LPF です。<ここを参照>
- EG はオリジナルでコンデンサの充電波形を模しています。
- いずれも、高位合成 (HLS) で作成、記述の通りにうまく動作します。
→ 内部クロック 100MHz に対して、ほとんどのロジックが 15.36 MHz で動作、タイミングに余裕があるため。

BGM
スタート

FPGA シンセのトピック 3 デルタシグマ ADC

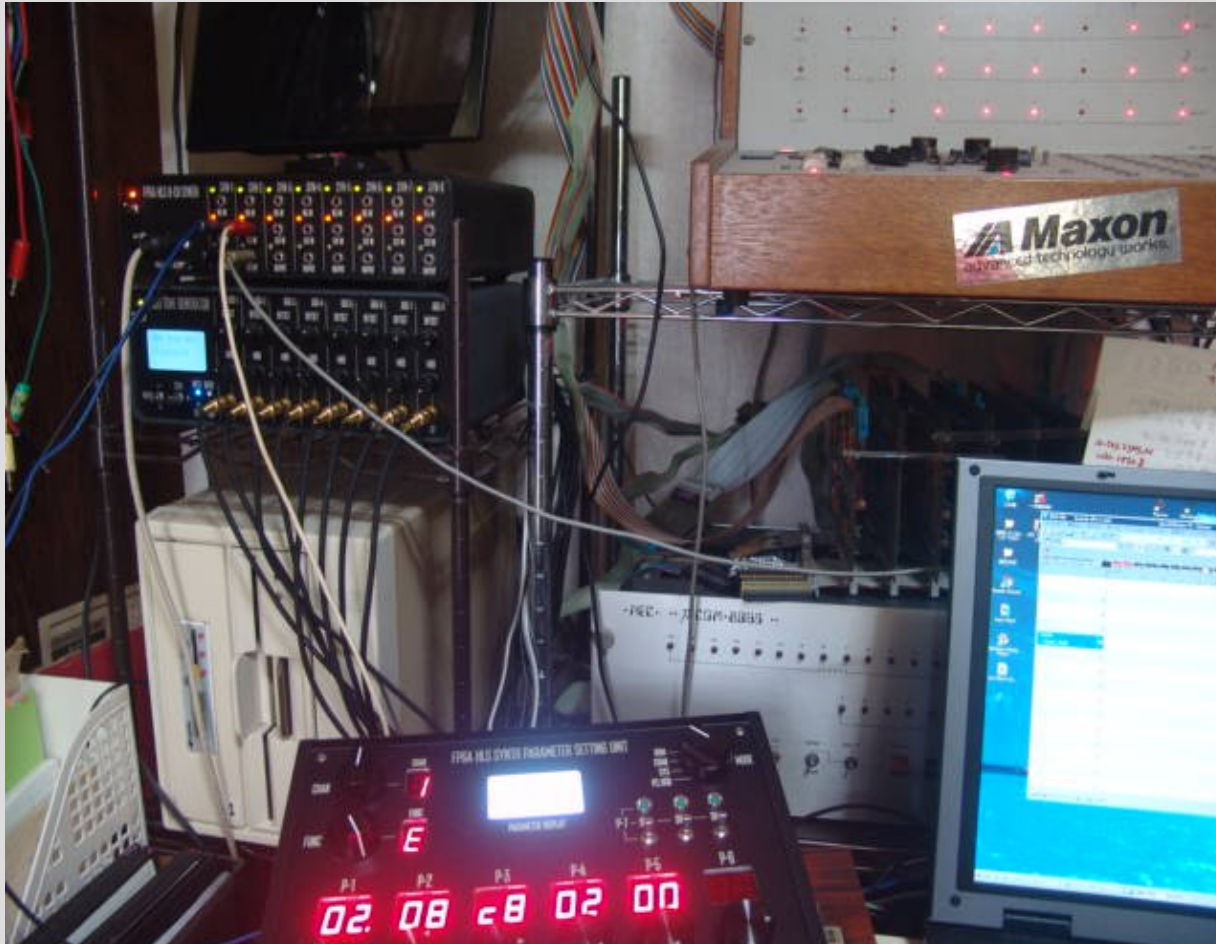
- ラティス社の資料に FPGA に実装できる **1 次デルタシグマ ADC** の資料があります。
＜ここを参照＞
- **LVDS 入力バッファと CR** のみで構成できます。
- **FF** の出力はパルス密度変調になります。次段の**アップダウンカウンタ**で **PCM** に変換します。
- 100MHz のオーバーサンプリングで 192KHz でデータを取り出すと **10bit 強**の PCM が得られます。既存の **DCO** のアナログ出力を接続します。



ラティス社の
[CreatingAnADCUsingFPGAResources.pdf](#) より

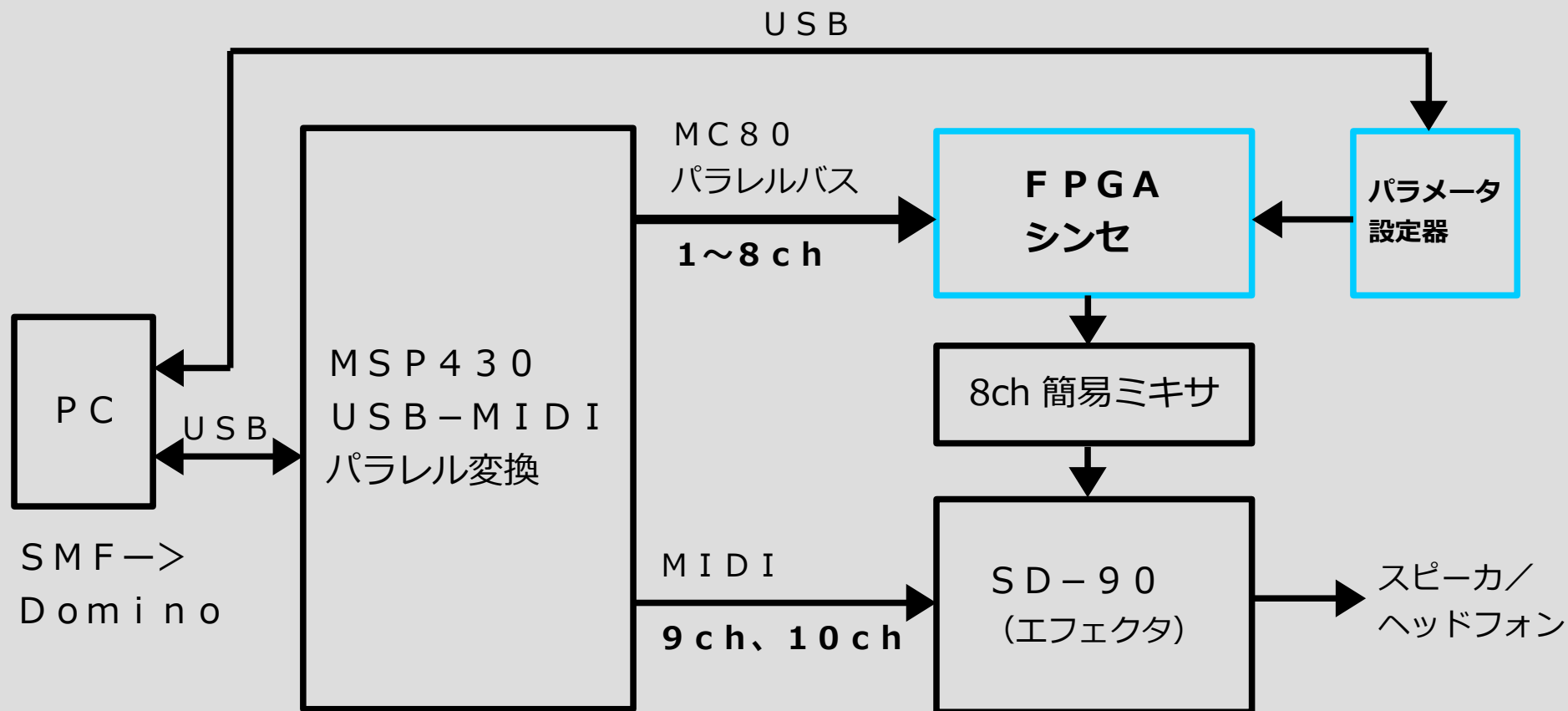
FPGA シンセのまとめ

問題点 / 良かった点

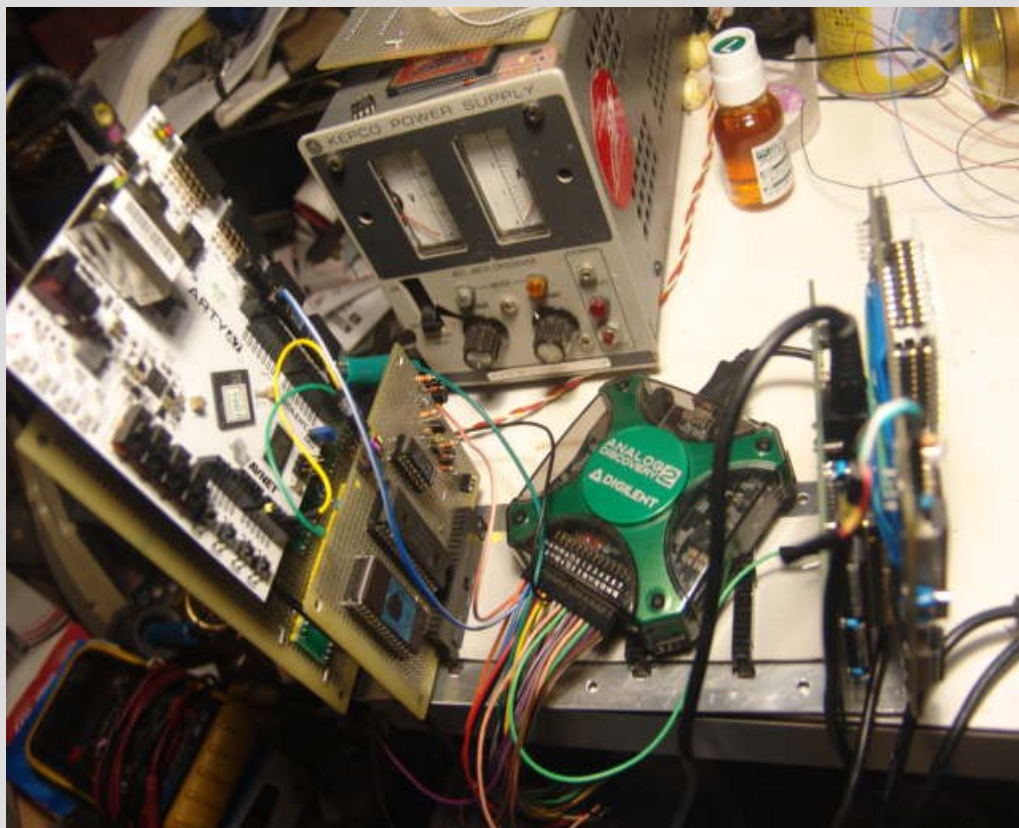


- 現在、LUT スライスの使用量が **98%** を超えており、もう機能追加が難しいです。
- パラメータ設定器は **P1~P6** と書いてあるだけで、全部は覚えられません。
- パラメータ設定は**チャンネル**と**機能**を指定しなければならず、やはりボリュームが並んでいるものに比べて**面倒**です。
- **HLS** の使い方がある程度理解できたこと。
- FPGA 内の機能は全て**並列動作**でレイテンシの心配がないこと
- FPGA に **$\Delta\Sigma$ -ADC** の**実装**ができたこと。
- シンセの**パラメータ**の保存 / 読み出しが**瞬時**に行え、パラメータを PC に保存できること。しかし**プログラムチェンジ**とは無関係。

FPGA シンセ ブース・デモ環境



構想中の FPGA を使った音関係モノ



- ARTY ボードに **DDR3(256MB)** が載っているので、これを有効利用した **ウェーブテーブルシンセ** (構想中)
- パラメータ設定に **ドロバ** が 9 個付いた **トーンホイールオルガン音源** (構想中)
- **チェンバロ**と**クラビコード**のみ実装した、**6 オペレータ FM 音源**
- 番外編
TK80BS は接触不良が多いので、SBC8080 ボードを使った **TK80BS 互換機** (プロジェクト**進行中**)

FPGA 内に **VRAM** と **8255** を実装した
TK80BS 互換機のデバッグ中の図